

MANUFACTURE OF FILM RESISTOR IN THICK FILM MULTILAYER SUBSTRATE

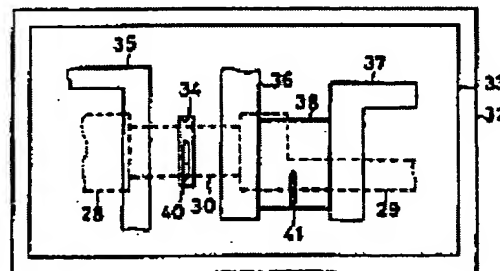
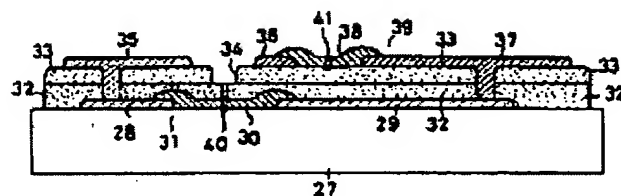
Patent number: JP61065464
Publication date: 1986-04-04
Inventor: EZAKI SHIRO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- **International:** H01C17/242; H05K1/16; H05K3/46; H01C17/22;
H05K1/16; H05K3/46; (IPC1-7): H01L27/01; H05K1/18
- **European:** H01C17/242
Application number: JP19840187564 19840907
Priority number(s): JP19840187564 19840907

Report a data error here

Abstract of JP61065464

PURPOSE: To facilitate the trimming of the resistor of the lower circuit layer by a method wherein the interlayer insulation layer at the part opposed to the part of trimming of the lower circuit layer is formed thinly in manufacture of the titled substrate.

CONSTITUTION: The lower layer wiring conductors 28 and 29 and the lower layer resistor 30 are formed on an insulation substrate 27 of alumina or the like. Next, interlayer insulation layers 32 and 33 are formed, and the upper wiring conductors 35, 36, and 37 and the upper layer resistor 38 are formed on the insulation layer 33. At this time, the part of the insulation layer 33 opposed to the part of trimming of the lower resistor 30 is provided with an aperture 34, and the insulation layer is thinned at this part. Then, the laser output does not have to be much increased in trimming 40 to the lower layer resistor 30, and trimming is facilitated; besides, its time is saved. Since the lower layer resistor 30 can be subjected to trimming after calcination of the upper layer circuits, the resistance value of the lower layer resistor 30 can be accurately set.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

昭61-65464

⑪ Int. Cl.

H 01 L 27/01
H 05 K 1/18

識別記号

庁内整理番号

6370-5F
6736-5F

⑬ 公開 昭和61年(1986)4月4日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 厚膜多層基板における膜抵抗体の製造方法

⑮ 特 願 昭59-187564

⑯ 出 願 昭59(1984)9月7日

⑰ 発 明 者 江 崎 史 郎 横浜市磯子区新杉田町8番地 株式会社東芝横浜金属工場
内
⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑲ 代 理 人 弁理士 鈴 江 武彦 外2名

明 細 書

1. 発明の名称

厚膜多層基板における膜抵抗体の製造方法

2. 特許請求の範囲

(1) 絶縁基体上に抵抗体を含む第1の回路層を形成する第1の工程と、この第1の工程の後前記第1の回路層上に前記抵抗体のトリミング部分と対向する部分の膜厚を薄くして絶縁層を形成する第2の工程と、この第2の工程の後前記絶縁層上に第2の回路層を形成する第3の工程と、この第3の工程の後前記絶縁層の膜厚の薄い部分を介して前記抵抗体のトリミングを行なう第4の工程とを具備してなることを特徴とする厚膜多層基板における膜抵抗体の製造方法。

(2) 上記第2の工程は、複数の絶縁層を多層に形成し、所定の絶縁層の上記抵抗体のトリミング部分と対向する部分に開口部を形成することにより、絶縁層全体の膜厚を薄くするようにしてなることを特徴とする特許請求の範囲第1項記載の厚膜多層基板における膜抵抗体の製造方法。

3. 発明の詳細な説明

[発明の技術分野]

この発明は、厚膜多層基板における膜抵抗体の製造方法に係り、特に下層側に形成された抵抗体のトリミングを容易にし、該抵抗体の抵抗値を正確に設定し得るようにしたものに関する。

[発明の技術的背景]

周知のように、近時では、電子機器等の小形軽量化を図るために、混成集積回路が多く使用されるようになってきている。この混成集積回路は、一般に、絶縁基板に導体材料及び抵抗材料を印刷してなる回路層の形成された厚膜基板に、リード線のないチップタイプの受動素子や能動素子を半田付けして構成されるものである。

ところで、上記のような厚膜基板においては、回路の高密度実装化を図るために、回路層を絶縁層を介して多層に形成することが行なわれている。

第3図は、このような厚膜多層基板の従来の製造方法を説明するためのものである。まず、例えばアルミナ等のセラミック材料で形成された絶縁

基板11上に、下層配線導体12、13及び下層低抗体14を形成し、第1の回路層15を構成する。この下層配線導体12、13は、例えば銀-パラジウム系ペーストをスクリーン印刷法で印刷し800～900℃の高温で酸化雰囲気中で焼成することにより形成される。また、上記下層低抗体14は、例えば酸化ルテニウム系ペーストを上記と同様に印刷・焼成することにより形成されるものである。そして、上記下層低抗体14に、例えばレーザトリミング法やサンドブラスト法等によりトリミング（切り込み16）を施して、その抵抗値を設定する。

その後、上記第1の回路層15上に、例えばガラス系ペーストの印刷・焼成を2回繰り返して2層の絶縁層17、18を形成し、図中上側の絶縁層18上に上記と同様にして上層配線導体19～21及び上層低抗体22を形成し第2の回路層23を構成する。そして、上記上層低抗体22にトリミング（切り込み24）を施してその抵抗値を設定し、ここに厚膜多層基板が構成されるものである。

〔背景技術の問題点〕

抗体14に対して絶縁層18の上から例えばレーザ光を照射してトリミング（切り込み25）を施すとともに、上層低抗体22にトリミング（切り込み26）を施すようにしているものである。

ところが、上記のような手段では、2層の絶縁層17、18全体の膜厚は通常40～50μmにもなるため、絶縁層17、18を介して下層低抗体14をトリミングすることが技術的に極めて困難になるという問題を有している。例えばレーザトリミングを行なう場合には、レーザの出力を高めかつトリミングスピードを低くしなければならないもので、非常に時間がかかるとともに、抵抗値の精度も直接トリミングを施すものに比して劣化するものである。

〔発明の目的〕

この発明は上記事情を考慮しなされたもので、下層側に形成された低抗体の抵抗値を変動させることなく正確に設定し得るとともに、製造工程も簡易化し得る極めて良好な厚膜多層基板における膜低抗体の製造方法を提供することを目的とする。

しかしながら、上記のような従来の厚膜多層基板の製造方法では、下層低抗体14のトリミング終了後、つまり下層低抗体14の抵抗値が設定された後に、絶縁層17、18や上層配線導体19～21及び上層低抗体22等を形成するために高温での焼成が繰り返されるので、下層低抗体14の抵抗値がトリミング時の設定値から大きく変動してしまうという問題が生じる。そして、特にこの抵抗値の変動幅は、約70%にも及ぶ場合があるため、下層低抗体14としては、高精度の抵抗値が必要とされる回路への適用ができないという不都合が生じるものである。また、下層低抗体14のトリミング工程と、上層低抗体22のトリミング工程とを別個に行なっているため、製造工程が煩雑になるという問題も有している。

そこで、近時では、第4図に示すような手段（特開昭59-9997号公報参照）が考えられている。すなわち、これは、下層低抗体14の形成後トリミングを行わず、第1の回路層15、絶縁層17、18及び第2の回路層23が全て形成された後、下層低

〔発明の概要〕

すなわち、この発明に係る厚膜多層基板における膜低抗体の製造方法は、絶縁基体上に低抗体を含む第1の回路層を形成する第1の工程と、この第1の工程の後前記第1の回路層上に前記低抗体のトリミング部分と対向する部分の膜厚を薄くして絶縁層を形成する第2の工程と、この第2の工程の後前記絶縁層上に第2の回路層を形成する第3の工程と、この第3の工程の後前記絶縁層の膜厚の薄い部分を介して前記低抗体のトリミングを行なう第4の工程とを具備することにより、下層側に形成された低抗体の抵抗値を変動させることなく正確に設定し得るとともに、製造工程も簡易化し得るようにしたものである。

〔発明の実施例〕

以下、この発明の一実施例について図面を参照して詳細に説明する。第1図及び第2図において、まず、例えばアルミナ等のセラミック材料で形成された絶縁基板27上に、下層配線導体28、29及び下層低抗体30を形成し、第1の回路層31を構成す

る。この下層配線導体28、29は、例えば銀—パラジウム系ペーストをスクリーン印刷法で印刷し800～900℃の高温で酸化雰囲気中で焼成することにより形成される。また、上記下層低抗体30は、例えば酸化ルテニウム系ペーストを上記と同様に印刷・焼成することにより形成されるものである。

その後、上記下層低抗体30にトリミングを施すことなく、上記第1の回路層31上に、例えばガラスペーストの印刷・焼成を2回繰り返して、2層の絶縁層32、33を形成する。この場合、図中上側の絶縁層33は、下層低抗体30のトリミング部分に対応する位置に開口部34を有するように形成され、結局絶縁層32、33を合わせた膜厚が下層低抗体30のトリミング部分に対応する部分だけ薄くなるように形成されているものである。

そして、上記絶縁層33上に、上記と同様にして上層配線導体35～37及び上層低抗体38を形成し第2の回路層39を構成する。その後、上記下層低抗体30に上記絶縁層33の開口部34を介してトリミング（切り込み40）を施すとともに、同時に、上層

低抗体38にもトリミング（切り込み41）を施し、ここに厚膜多層基板が構成されるものである。

したがって、上記実施例によれば、第1の回路層31、第2の回路層39及び絶縁層32、33等が全て印刷・焼成された後に下層低抗体30のトリミングを行なうとともに、絶縁層32、33を合わせた膜厚が下層低抗体30のトリミング部分に対応する部分だけ薄くなっているため、トリミング作業が容易にでき下層低抗体30の抵抗値を正確に設定することができ、高精度の抵抗値が必要とされる回路への適用を可能にすることができる。また、下層低抗体30と上層低抗体38を同時にトリミングすることができるので、トリミング工程が1回で済み、製造が簡易化されるものである。

ここで、上記実施例では、第1の回路層31及び第2の回路層39に共に低抗体30、38を形成するようにしたが、これは第1の回路層31にのみ低抗体30が形成されるものや、低抗体が3層以上の多層構造になっているもの等にも適用し得ることは言うまでもないことである。また、絶縁層33に形成

された開口部34としては、例えばし字状や円形状等適宜設定し得るとともに、1つの下層低抗体に対して複数形成するようにしてもよいものである。さらに、絶縁層33に開口部34を形成するに限らず、絶縁層32に開口部を形成して絶縁層32、33を合わせた膜厚を薄くするようにしてもよいものである。また、上記のような高温焼成型厚膜多層基板に限らず、樹脂系の低温硬化型厚膜多層基板にも実施し得るものである。

なお、この発明は上記実施例に限定されるものではなく、この外その要旨を逸脱しない範囲で種々変形して実施することができる。

〔発明の効果〕

したがって、以上詳述したようにこの発明によれば、下層側に形成された低抗体の抵抗値を変動させることなく正確に設定し得るとともに、製造工程も簡易化し得る極めて良好な厚膜多層基板における膜低抗体の製造方法を提供することができる。

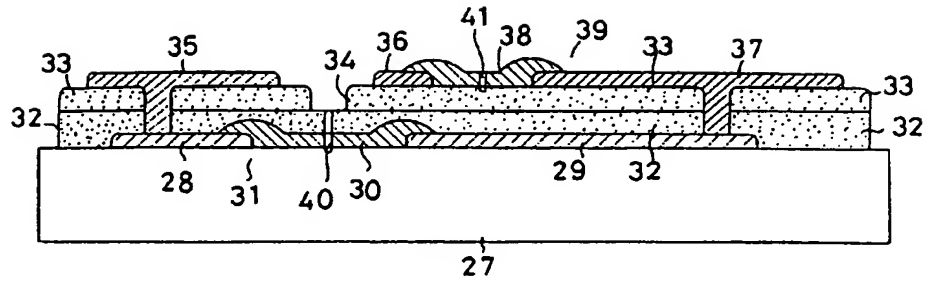
4. 図面の簡単な説明

第1図及び第2図はそれぞれこの発明に係る厚膜多層基板における膜低抗体の製造方法の一実施例を示す側断面図及び平面図、第3図及び第4図はそれぞれ従来の厚膜多層基板における膜低抗体の製造方法を示す側断面図である。

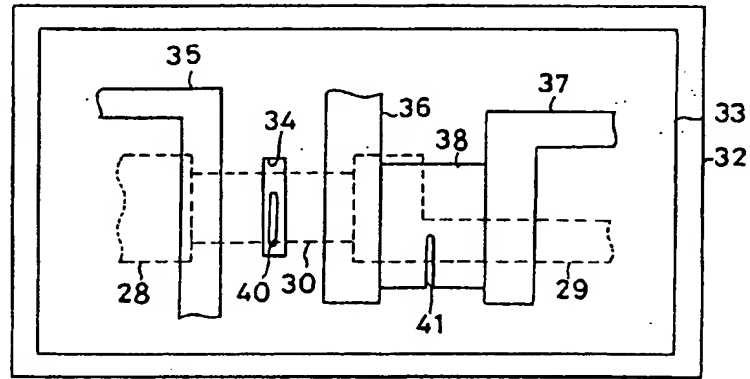
11…絶縁基板、12、13…下層配線導体、14…下層低抗体、15…第1の回路層、16…切り込み、17、18…絶縁層、19～21…上層配線導体、22…上層低抗体、23…第2の回路層、24…切り込み、25、26…切り込み、27…絶縁基板、28、29…下層配線導体、30…下層低抗体、31…第1の回路層、32、33…絶縁層、34…開口部、35～37…上層配線導体、38…上層低抗体、39…第2の回路層、40、41…切り込み。

出願人代理人 弁理士 鈴江武彦

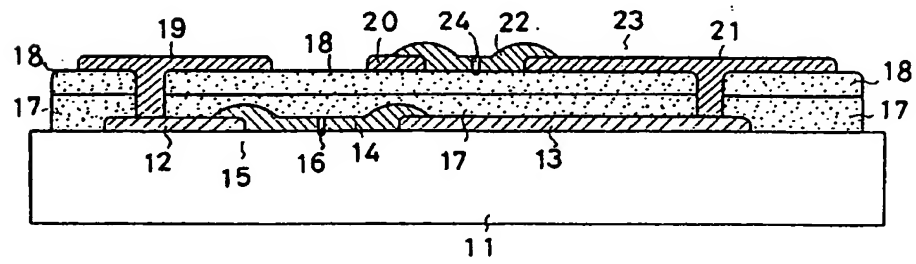
第 1 圖



第 2 圖



第 3 圖



第 4 圖

